



AK4688

Asynchronous Stereo CODEC with Capless Line I/O

概 要

AK4688は1チップステレオCODECです。内蔵するADC/DACのインターフェースは24bitまでの入出力データと非同期動作に対応しています。ライン入力に対応した入力プリアンプは外付け抵抗により入力レンジを自由に設定可能です。内蔵のチャージポンプにより3.3Vの単一電源でグラウンドリファレンスの2Vrms入出力に対応し、ACカップリングキャパシタやミュート回路などの外付け部品を削減することができます。AK4688はADCに99dB、DACに105dBのダイナミックレンジを持ち、Blu-ray レコーダなどのデジタルレコーディングシステムやデジタルTV、ホームシアターシステムに最適です。

特 長

- ADC, DAC非同期動作対応
- ライン入力用 キャップレスステレオプリアンプ
- 2ch 24bit ADC
 - 64倍オーバーサンプリング
 - サンプリング周波数: 最大48kHz
 - 直線位相デジタルフィルタ内蔵
 - S/(N+D): 83dB
 - ダイナミックレンジ, S/N: 99dB
 - オフセットキャンセル用デジタルHPF
- 2ch 24bit DAC
 - 128倍オーバーサンプリング
 - サンプリング周波数: 最大192kHz
 - 24ビット8倍デジタルフィルタ
 - S/(N+D): 95dB
 - ダイナミックレンジ, S/N: 105dB
 - ディエンファシスフィルタ内蔵
- 強ジッタ耐力
- マスタクロック入力:
 - 256fs, 384fs, 512fs 768fs (fs=32kHz ~ 48kHz)
 - 128fs, 192fs, 256fs 384fs (fs=64kHz ~ 96kHz)
 - 128fs, 192fs (fs=128kHz ~ 192kHz)
- 2ポートオーディオI/F (PORT1, PORT2)
 - マスタ/スレーブモード対応(PORT1)
 - I/Fフォーマット:
 - 前詰め, 後詰め(16bit, 24bit), I²S (PORT1, PORT2)
- ハードウェアコントロール/ I²C-bus コントロール対応
- 電源電圧:
 - Digital I/O and Charge Pump: 3.0V ~ 3.6V
 - ADC Analog: 3.0V ~ 3.6V
 - DAC Analog: 3.0V ~ 3.6V
- パッケージ: 36pin QFN

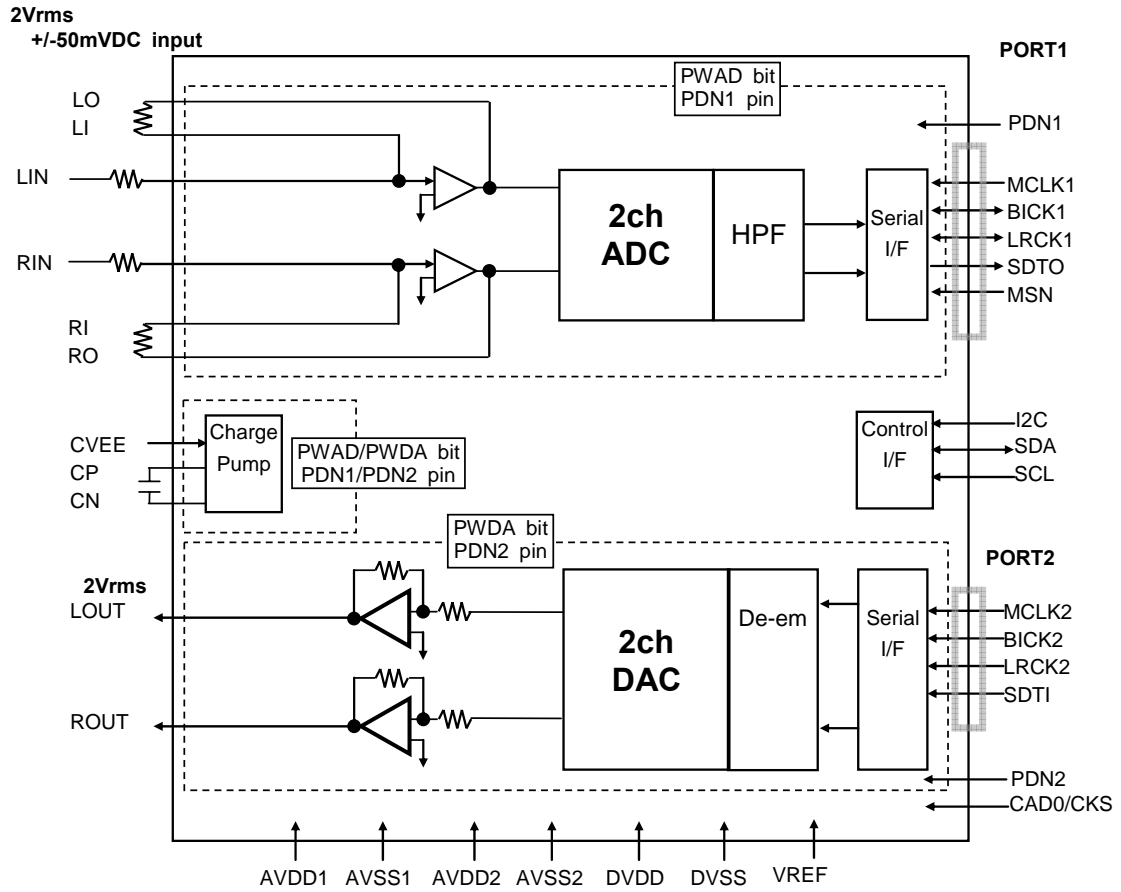


Figure 1. AK4688 Block Diagram

■ オーダリングガイド

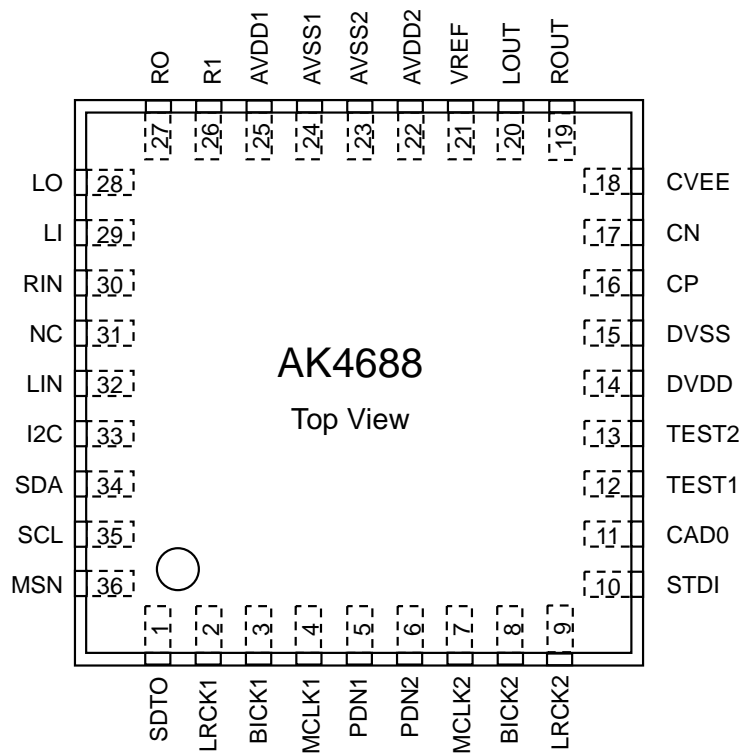
AK4688EN
AKD4688

-20 ~ +85°C
AK4688評価用ボード

36pin QFN (0.5mm pitch)

■ ピン配置

36pin QFN (0.5mm pitch)



ピン/機能

No.	Pin Name	I/O	Function
1	SDTO	O	Audio Serial Data Output Pin (for PORT1)
2	LRCK1	I/O	Channel Clock Pin (for PORT1)
3	BICK1	I/O	Audio Serial Data Clock Pin (for PORT1)
4	MCLK1	I	ADC Master Clock Input Pin (for PORT1)
5	PDN1	I	Power-Down Mode for ADC When "L", the ADC is powered-down.
6	PDN2	I	Power-Down Mode for DAC When "L", the DAC is powered-down.
7	MCLK2	I	DAC Master Clock Input Pin (for PORT2)
8	BICK2	I	Audio Serial Data Clock Pin (for PORT2)
9	LRCK2	I	Input Channel Clock Pin (for PORT2)
10	SDTI	I	Audio Serial Data Input Pin (for PORT2)
11	CAD0	I	CAD Address Pin (I2C pin = "H")
	CKS	I	ADC MCLK Speed Select Pin (I2C pin = "L") "H": MCLK=768fs, "L": MCLK=256fs
12	TEST1	I	This pin must be connected to the ground
13	TEST2	I	This pin must be connected to the ground
14	DVDD	-	Digital Power Supply Pin, 3.0V~3.6V
15	DVSS	-	Digital Ground Pin, 0V
16	CP	I	Positive Charge Pump Capacitor Terminal Pin (for Analog Input/Output)
17	CN	I	Negative Charge Pump Capacitor Terminal Pin (for Analog Input/Output)
18	CVEE	O	Charge Pump Circuit Negative Voltage Output Pin (for Analog Input/Output)
19	ROUT	O	Rch Analog Output Pin
20	LOUT	O	Lch Analog Output Pin
21	VREF	O	Reference Output Pin Connect to AVSS2 with a 1 μ F low ESR capacitor over all temperatures.
22	AVDD2	-	DAC Analog Power Supply Pin, 3.3V~3.6V
23	AVSS2	-	ADC Analog Ground Pin, 0V
24	AVSS1	-	ADC Analog Ground Pin, 0V
25	AVDD1	-	ADC Analog Power Supply Pin, 3.0V~3.6V
26	RI	O	Rch Feedback Resistor Input Pin
27	RO	O	Rch Feedback Resistor Output Pin
28	LO	O	Lch Feedback Resistor Output Pin
29	LI	O	Lch Feedback Resistor Input Pin
30	RIN	I	Rch Input Pin
31	NC	-	This pin must be connected to the ground
32	LIN	I	Lch Input Pin
33	I2C	I	I ² C Pin "H"= I ² C control, "L"= H/W control
34	SDA	I/O	Control Data Pin (I2C pin = "H") When the I2C pin = "L" (H/W control), the SDA pin must be connected to DVSS.
35	SCL	I	Control Data Clock Pin (I2C pin = "H") When the I2C pin = "L" (H/W control), the SCL pin must be connected to DVSS.
36	MSN	I	PORT1 Master Mode Select Pin. "L"(connected to the ground): Slave mode. "H"(connected to DVDD) : Master mode.

Note: 全てのデジタル入力ピンはフローティングにしないで下さい。

絶対最大定格

(AVSS1=AVSS2=DVSS =0V; [Note 1](#))

Parameter	Symbol	min	max	Unit
Power Supply	DVDD	-0.3	4.0	V
	AVDD1	-0.3	4.0	V
	AVDD2	-0.3	4.0	V
Input Current (any pins except for supplies)	IIN	-	±10	mA
Digital Input Voltage (MCLK1-2, PDN1-2, LRCK1-2, SDTI, BICK1-2, SDA, SCL, MSN, CAD0 pins)	VIND	-0.3	DVDD+0.3	V
Analog Input Voltage (LIN, RIN pins)	VINA	-0.3	AVDD1+0.3	V
Ambient Operating Temperature	Ta	-20	85	°C
Storage Temperature	Tstg	-65	150	°C

Note 1. AVSS1, AVSS2, DVSSは同じアナロググランドに接続して下さい。

注意: この値を超えた条件で使用した場合、デバイスを破壊することがあります。
また通常の動作は保証されません。

推奨動作条件

(AVSS1=AVSS2=DVSS =0V; [Note 1](#))

Parameter	Symbol	min	typ	max	Unit
Power Supply (Note 2)	DVDD	3.0	3.3	3.6	V
	AVDD1	3.0	3.3	3.6	V
	AVDD2	3.0	3.3	3.6	V

Note 2. AVDD1, AVDD2は同じ電位にしてください。

DVDD と他の電源 (AVDD1, AVDD2) の電位差は0.3V以下にしてください。

注意: 本データシートに記載されている条件以外のご使用に関しては、当社では責任負いかねますので十分ご注意ください。

アナログ特性

(Ta=25°C; AVDD1=AVDD2 = DVDD= 3.3V; AVSS1=AVSS2=DVSS =0V; fs=48kHz; BICK=64fs;
Signal Frequency=1kHz; 24bit Data; Measurement Frequency = 20Hz~ 20kHz at fs=48kHz, 20Hz~40kHz at fs=96kHz;
20Hz~40kHz at fs=192kHz, all blocks are synchronized, unless otherwise specified)

Parameter	min	typ	max	Unit	
Pre-Amp Characteristics:					
Feedback Resistance R_f	12	39	92	k Ω	
Input Resistance R_i	18	47	92	k Ω	
Output Level LO / RO pins (ADC=0dBFS) (Note 3)	1.82	1.91	2.00	Vrms	
Load Resistance R_L (Note 4)	18			k Ω	
Load Capacitance C_L (Note 4)			20	pF	
Analog Input (LIN, RINpin) to ADC Analog Input Characteristics					
Resolution			24	Bits	
S/(N+D) (-1dBFS)	fs=48kHz	-	83	dB	
DR (-60dBFS)	fs=48kHz, A-weighted	-	99	dB	
S/N (input off)	fs=48kHz, A-weighted	-	99	dB	
Interchannel Isolation (Note 5)		-	100	dB	
Interchannel Gain Mismatch			0	dB	
Gain Drift			50	ppm/°C	
Power Supply Rejection (Note 6)			50	dB	
DAC to Analog Output (LOUT, ROUT pin) Characteristics					
Resolution			24	Bits	
S/(N+D) (0dBFS)	fs=48kHz	-	95	dB	
	fs=96kHz	-	93	dB	
	fs=192kHz	-	93	dB	
DR (-60dBFS)	fs=48kHz, A-weighted	-	105	dB	
	fs=96kHz, A-weighted	-	105	dB	
	fs=192kHz, A-weighted	-	105	dB	
S/N ("0" data)	fs=48kHz, A-weighted	-	105	dB	
	fs=96kHz, A-weighted	-	105	dB	
	fs=192kHz, A-weighted	-	105	dB	
Interchannel Isolation		-	100	dB	
Interchannel Gain Mismatch			0	dB	
DC Offset (at output pin)		-5	0	+5	mV
Gain Drift			50	-	ppm/°C
Output Voltage	LOUT/ROUT= 2 x AVDD2/3.3	1.85	2	2.15	Vrms
Load Resistance		5			k Ω
Load Capacitance (C1)				30	pF
Power Supply Rejection (Note 6)			62		dB

Note 3. 外付けの入力抵抗を47k Ω 、Feedback抵抗を39k Ω 、入力信号を2.3Vrmsにした場合にADCがフルスケールになる入力レンジです。

Note 4. LO/RO pinからの出力信号を外部で使用する時の負荷の規定です。Figure 3の R_L および C_L です。

Note 5. LIN とRIN間の全てのチャンネル間アイソレーションです。

Note 6. AVDD1, AVDD2, DVDDに1kHz, 50mVppの正弦波を重畳した場合。

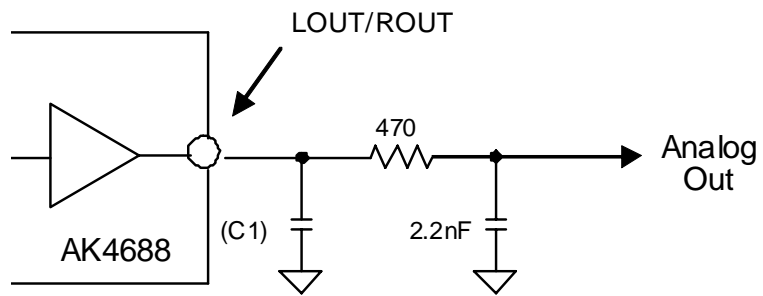


Figure 2. Lineout Circuit Example

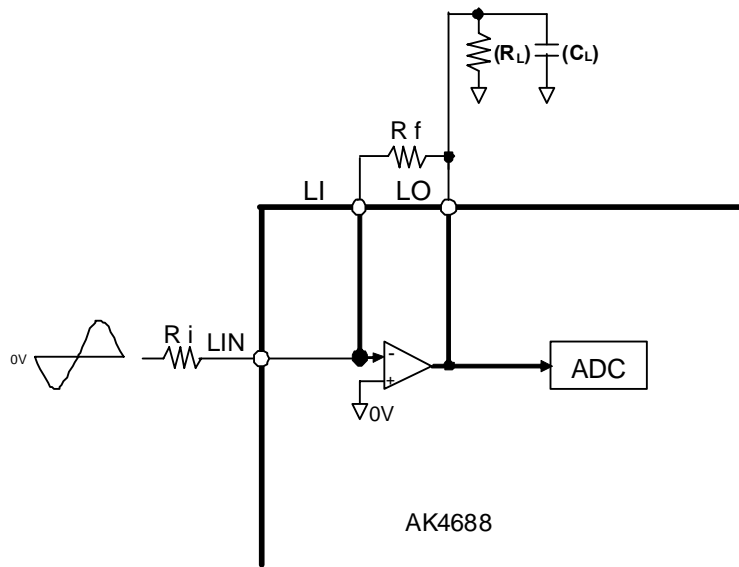


Figure 3. Pre-Amp部の外付回路

Power Supplies				
Parameter	min	typ	max	Unit
Power Supply Current				
Normal Operation (PDN1 pin = PDN2 pin = "H")				
AVVD1		3	-	mA
AVDD2		11	-	mA
DVDD		13	-	mA
DVDD+AVDD1+AVDD2		27	40	mA
Power-Down Mode (PDN1 pin = PDN2 pin = "L"; Note 7)				
DVDD+AVDD1+AVDD2		1	20	μA

Note 7. PDN1-2, TEST1-2 pins を DVSS に、その他のクロックを含む全てのデジタル入力ピン(MCLK1-2, BICK1-2, LRCK1-2, SDTI, SDA, SCL, MSN, CAD0 pins)を DVDD または DVSS に固定した場合の値です。ただし MSN pin を DVDD に固定した場合 LRCK1, BICK1 pin は出力状態になりますのでオープンにしてください。

フィルタ特性

(Ta=25°C; AVDD1=AVDD2 = DVDD= 3.3V; fs=48kHz)

Parameter	Symbol	min	typ	max	Unit	
ADC Digital Filter (Decimation LPF):						
Passband (Note 8)	±0.1dB	PB	0	18.8	kHz	
	-0.2dB		-	21.1	kHz	
	-3.0dB		-	21.7	kHz	
Stopband		SB	28.5		kHz	
Stopband Attenuation		SA	73		dB	
Group Delay (Note 10)		GD	17		1/fs	
Group Delay Distortion		ΔGD	0		μs	
ADC Digital Filter (HPF):						
Frequency Response (Note 8)	-3dB	FR	1.0		Hz	
	-0.1dB		7.1		Hz	
DAC Digital Filter:						
Passband ±0.05dB (Note 9)		PB	0	21.7	kHz	
-6.0dB			-	24.0	kHz	
Stopband (Note 9)		SB	26.3		kHz	
Passband Ripple		PR		± 0.05	dB	
Stopband Attenuation		SA	64		dB	
Group Delay (Note 10)		GD	-	24	1/fs	
De-emphasis Filter (DEM = ON)						
De-emphasis Error (DC基準)	fs = 32kHz		-	-	-1.5/0	dB
	fs = 44.1kHz		-	-	-0.2/+0.2	dB
	fs = 48kHz		-	-	0/+0.6	dB
DAC Digital Filter + Analog Filter: (DEM = OFF)						
Frequency Response	20.0kHz fs=44.1kHz	FR	-	± 0.2	-	dB
	40.0kHz fs=96kHz	FR	-	± 0.3	-	dB
	80.0kHz fs=192kHz	FR	-	± 1.0	-	dB

Note 8. 通過域と阻止域はfsに比例します。例えば、-0.1dBでの21.8kHzは0.454 x fs(DAC)です。基準周波数は1kHzです。

Note 9. 通過域、阻止域の周波数は fs (システムサンプリングレート) に比例し、PB=0.4535×fs(@±0.05dB)、SB=0.546×fs です。

Note 10. デジタルフィルタによる演算遅延で、アナログ信号が入力されてから両チャンネルの24ビットデータがPORT1の出力レジスタにセットされるまでの時間です。DACについては、両チャンネルの16/24ビットデータがPORT2の入力レジスタにセットされてからアナログ信号が出力されるまでの時間です。

DC特性

(Ta=25°C; AVDD1=AVDD2 = DVDD= 3.3V)

Parameter	Symbol	min	typ	max	Unit
High-Level Input Voltage	VIH	70%DVDD	-	-	V
Low-Level Input Voltage	VIL	-	-	30%DVDD	V
High-Level Output Voltage (Iout=-400μA)	VOH	DVDD-0.4	-	-	V
Low-Level Output Voltage (Iout= 400μA(except SDA pin), 3mA(SDA pin))	VOL	-	-	0.4	V
Input Leakage Current	Iin	-	-	±10	μA

スイッチング特性

(Ta=25°C; AVDD1=AVDD2 = DVDD= 3.3V; CL= 20pF (except for SDA pin), Cb=400pF(SDA pin))

Parameter	Symbol	min	typ	max	Unit
Master Clock Timing					
Frequency	fECLK	8.192		36.864	MHz
Duty	dECLK	40	50	60	%
Master Clock					
256fsn, 128fsd:	fCLK	8.192		12.288	MHz
Pulse Width Low	tCLKL	0.37			1/fCLK
Pulse Width High	tCLKH	0.37			1/fCLK
384fsn, 192fsd:	fCLK	12.288		18.432	MHz
Pulse Width Low	tCLKL	0.37			1/fCLK
Pulse Width High	tCLKH	0.37			1/fCLK
512fsn, 256fsd, 128fsq:	fCLK	16.384		24.576	MHz
Pulse Width Low	tCLKL	0.37			1/fCLK
Pulse Width High	tCLKH	0.37			1/fCLK
768fsn, 384fsd, 192fsq:	fCLK	24.576		36.864	MHz
Pulse Width Low	tCLKL	0.37			1/fCLK
Pulse Width High	tCLKH	0.37			1/fCLK
LRCK1 Timing (Slave Mode)					
	fsn	32		48	kHz
Duty Cycle	Duty	45		55	%
LRCK2 Timing (Slave Mode)					
Normal Speed Mode	fsn	32		48	kHz
Double Speed Mode	fsd	32		96	kHz
Quad Speed Mode	fsq	128		192	kHz
Duty Cycle	Duty	45		55	%
LRCK1 Timing (Master Mode)					
Normal Speed Mode	fsn	32		48	kHz
Duty Cycle	Duty		50		%
Power-down & Reset Timing					
PDN Pulse Width (Note 11)	tPD	150			ns
PDN “↑” to SDTIO valid (Note 12)	tPDV		2640		1/fs

Note 11. PDN1, PDN2 pin を用いたリセット状態については“■ システムリセット”を参照してください。

Note 12. PDN1 pin を立ち上げてからMCLKを分周したクロックでカウンタを回してLRCK換算で約64/fs後にC_{VEE}電位が立下りADCのパワーダウンが解除され、528/fs後にSDTIOが出力されます。

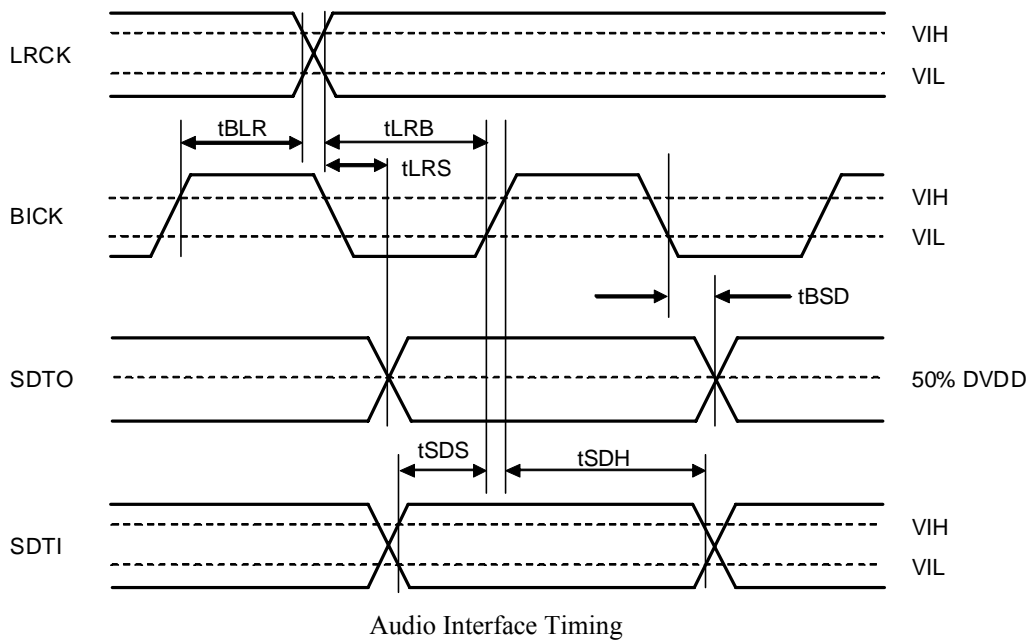
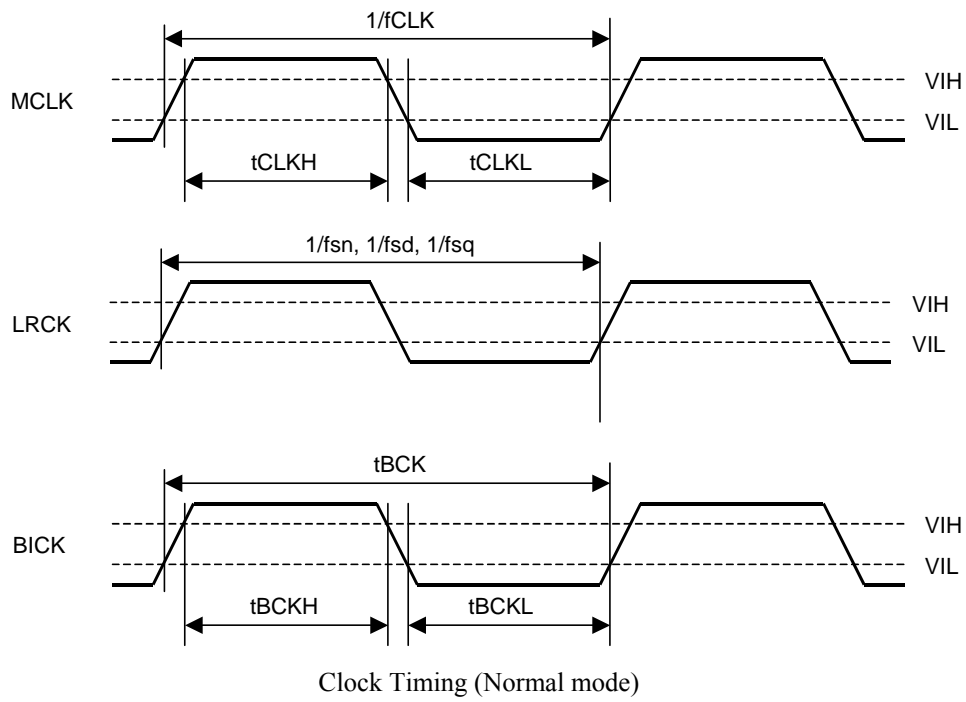
Parameter	Symbol	min	typ	max	Unit
Audio Interface Timing (Slave Mode)					
PORT2(DAC)					
BICK2 Period	tBCK	81			ns
BICK2 Pulse Width Low	tBCKL	20			ns
Pulse Width High	tBCKH	20			ns
LRCK2 Edge to BICK2 “↑” (Note 13)	tLRB	20			ns
BICK2 “↑” to LRCK2 Edge (Note 13)	tBLR	20			ns
SDTI Hold Time	tSDH	10			ns
SDTI Setup Time	tSDS	10			ns
PORT1 (ADC)					
BICK1 Period	tBCK	324			ns
BICK1 Pulse Width Low	tBCKL	128			ns
Pulse Width High	tBCKH	128			ns
LRCK1 Edge to BICK1 “↑” (Note 13)	tLRB	80			ns
BICK1 “↑” to LRCK1 Edge (Note 13)	tBLR	80			ns
LRCK1 to SDTO (MSB)	tLRS			80	ns
BICK1 “↓” to SDTO	tBSD			80	ns
Audio Interface Timing (Master Mode)					
BICK1 Frequency	fBCK		64fs		Hz
BICK1 Duty	dBCK		50		%
BICK1 “↓” to LRCK1 Edge	tMBLR	-20		20	ns
BICK1 “↓” to SDTO	tBSD			20	ns
Control Interface Timing (I²C Bus):					
SCL Clock Frequency	fSCL	-		400	kHz
Bus Free Time Between Transmissions	tBUF	1.3		-	μs
Start Condition Hold Time (prior to first clock pulse)	tHD:STA	0.6		-	μs
Clock Low Time	tLOW	1.3		-	μs
Clock High Time	tHIGH	0.6		-	μs
Setup Time for Repeated Start Condition	tSU:STA	0.6		-	μs
SDA Hold Time from SCL Falling (Note 14)	tHD:DAT	0		-	μs
SDA Setup Time from SCL Rising	tSU:DAT	0.1		-	μs
Rise Time of Both SDA and SCL Lines	tR	-		0.3	μs
Fall Time of Both SDA and SCL Lines	tF	-		0.3	μs
Setup Time for Stop Condition	tSU:STO	0.6		-	μs
Pulse Width of Spike Noise Suppressed by Input Filter	tSP	-		50	ns
Capacitive load on bus	Cb	0		400	pF

Note 13. この規格値はLRCKのエッジとBICKの立ち上がりエッジが重ならないように規定しています。

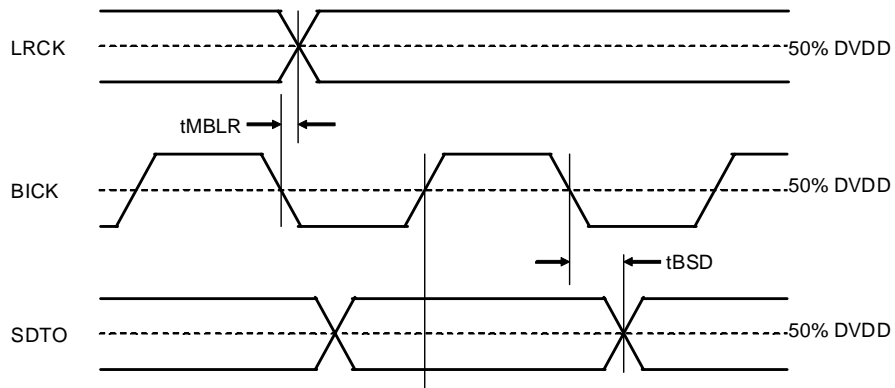
Note 14. データは最低300ns (SCLの立ち下がり時間) の間保持されなければなりません。

Note 15. I²C-busはNXP B.V.の商標です。

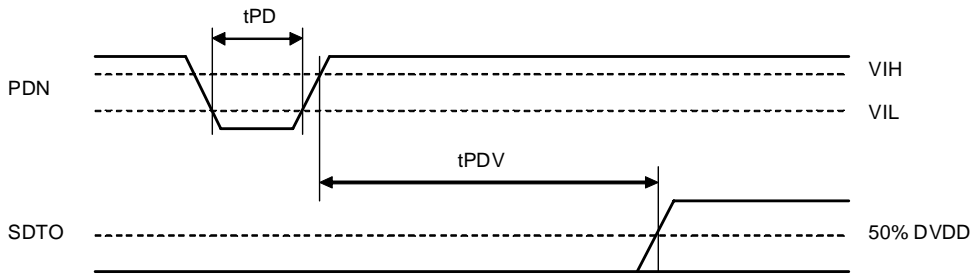
■ タイミング波形



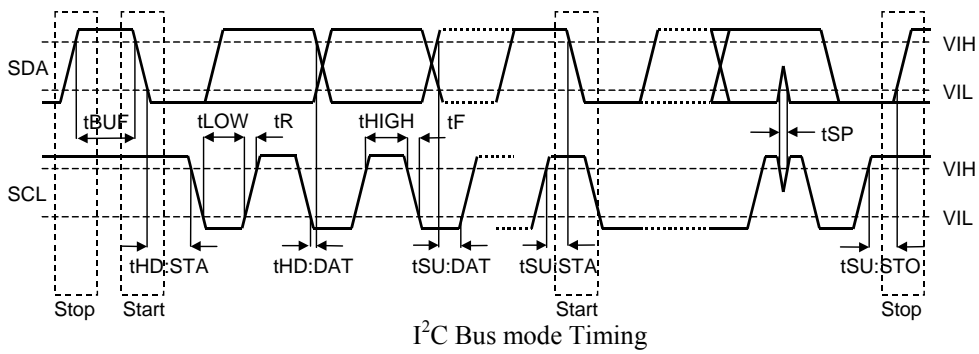
LRCK= LRCK1, LRCK2
BICK= BICK1, BICK2



Audio Interface timing (Master Mode)



Power Down & Reset Timing



I²C Bus mode Timing

動作説明

■ システムクロック

AK4688は、非同期で動作可能なシリアルオーディオインターフェースを2個 (PORT1, PORT2)持ちます。PORT1はADC用、PORT2はDAC用のオーディオインターフェースです。各々のPORTにおいて、スレーブモード時に必要なクロックは、MCLK1 (MCLK2), LRCK1 (LRCK2), BICK1 (BICK2)です。MCLK1 (MCLK2)とLRCK1 (LRCK2)は各々PORT毎に同期する必要がありますが、位相を合わせる必要はありません。

AK4688はADC用にPDN1 pin(or PWAD bit)、DAC用にPDN2 pin(or PWAD bit) でコントロールするパワーダウン機能をそれぞれ独立に持っています。I²Cコントロールモードの場合は、PDN1 pin=PDN2 pin="H" and PWAD bit=PWDA bit="1"で動作状態になり (Table 1, Table 3)、H/Wコントロールモードの場合は、PDN1 pin=PDN2 pin="H"で動作状態になります (Table 2, Table 4)。動作状態で、マスタモード時 (MSN pin="H")にMCLK1が、スレーブモード時 (MSN pin="L")に、MCLK1 (MCLK2)、LRCK1 (LRCK2)、BICK1 (BICK2)が停止すると自動的にパワーダウン状態になり、ADC出力は"0"データ、DAC出力はPull Down(VSS)になります。また、マスタモード時 (MSN pin="H")にMCLK1を、スレーブモード時 (MSN pin="L")は、MCLK1 (MCLK2)、LRCK1 (LRCK2)、BICK1 (BICK2)を再入力後、パワーダウン状態が解除され動作を再開します。

電源ON等のリセット解除時 (PDN1 pin="L" → "H") はMCLK1, LRCK1, BICK1 が入力されるまでADCはパワーダウン状態です。電源ON等のリセット解除時 (PDN2 pin="L" → "H") はMCLK2, LRCK2, BICK2 が入力されるまでDACはパワーダウン状態です。

PDN1 pin	PWAD bit	Master mode: MCLK1 Slave mode: MCLK1, LRCK1 and BICK1	ADC stauts	ADC OUT
L	×	×	Power down	0
H	0	×	Power down	0
H	1	Non-active	Power down	0
H	1	active	Power up	ADC output

(×: Don't Care)

Table 1. System CLOCK for ADC (I²Cコントロールモード、PORT1)

PDN1 pin	Master mode: MCLK1 Slave mode: MCLK1, LRCK1 and BICK1	ADC stauts	ADC OUT
L	×	Power down	0
H	Non-active	Power down	0
H	active	Power up	ADC output

(×: Don't Care)

Table 2. System CLOCK for ADC (H/Wコントロールモード、PORT1)

PDN2 pin	PWDA bit	MCLK2, LRCK2 and BICK2	DAC stauts	DAC OUT
L	×	×	Power down	VSS
H	0	×	Power down	VSS
H	1	Non-active	Power down	VSS
H	1	active	Power up	DAC output

(×: Don't Care)

Table 3. System CLOCK for DAC (I²Cコントロールモード、PORT2)

PDN2 pin	MCLK2, LRCK2 and BICK2	DAC stauts	DAC OUT
L	×	Power down	VSS
H	Non-active	Power down	VSS
H	active	Power up	DAC output

(×: Don't Care)

Table 4. System CLOCK for DAC (H/Wコントロールモード、PORT2)

■ マスタ/スレーブモード設定

MSN pinでPORT1のマスタ/スレーブモードを設定します。PORT2はスレーブモードのみ対応します。マスタモード時は、LRCK1 pinとBICK1 pinは出力ピンです。スレーブモード時は、LRCK1 (LRCK2) pinとBICK1 (BICK2) pinは入力ピンです(Table 5)。

MSN pin	PORT1 (ADC) BICK1, LRCK1	PORT2 (DAC) BICK2, LRCK2
L	Input (slave mode)	Input (slave mode)
H	Output "L"(master mode)	Input (slave mode)

Table 5. Master/Slave Mode

■ PORT1(ADC) クロック設定

マスタモード時 (MSN pin = "H")、必要なクロックは、MCLK1 です。CKS1-0 bit とCKS pin はクロック周波数を設定します (Table 6, Table 7)。ADCはMCLK1, BICK1, LRCK1が供給されるまでパワーダウン状態です。

CKS1 bit	CKS0 bit	Clock Speed
0	0	256fs
0	1	384fs
1	0	512fs
1	1	768fs

(default)

Table 6. PORT1(ADC) Master Clock Control (Master Mode, I2Cコントロールモード)

CKS pin	Clock Speed
L	256fs
H	768fs

Table 7. PORT1(ADC) Master Clock Control (Master Mode, H/W コントロールモード)

スレーブモード時 (MSN pin = "L")、必要なクロックは、MCLK1, LRCK1, BICK1 です。MCLK1 とLRCK1は同期している必要がありますが、位相を合わせる必要はありません。電源ON等のリセット解除時(PDN1 pin = "↑")はMCLK1とLRCK1とBICK1が入力されるまでADCはパワーダウン状態です。

ADCはNormal Speed Mode(fs = 32k ~ 48kHz)のみに対応します。

LRCK1 Fs	MCLK1 (MHz)				BICK1 (MHz)
	256fs	384fs	512fs	768fs	
32.0kHz	8.1920	12.2880	16.3840	24.5760	2.0480
44.1kHz	11.2896	16.9344	22.5792	33.8688	2.8224
48.0kHz	12.2880	18.4320	24.5760	36.8640	3.0720

Table 8. PORT1(ADC) System Clock Example

■ PORT2 (DAC) クロック設定

必要なクロックは、MCLK2, LRCK2, BICK2 です。マスタクロック (MCLK2) とサンプリングクロック (LRCK2) は同期する必要はありますが位相を合わせる必要はありません。MCLK2 はインタポーレーションフィルタと $\Delta\Sigma$ 変調器に使用されます。動作中にMCLK2, LRCK2またはBICK2が止まった場合は、DACは自動的にリセット状態になり、アナログ出力は0V電圧(typ)を出力します。MCLK2とLRCK2とBICK2を再入力後、リセット状態が解除され動作を再開します。電源ON等のリセット解除時(PDN2 pin = “ \uparrow ”)はMCLK2とLRCK2とBICK2が入力されるまでパワーダウン状態です。

DACのサンプリングスピードを設定する方法は二種類あります。一つはDFS1-0 bits を使ったManual Setting Mode (ACKS bit = “0”)、もう一つはAuto Setting Mode (ACKS bit = “1”)です。

1. Manual Setting Mode (ACKS bit = “0”)

ACKS bit = “0”でDACはManual Setting Modeになります。サンプリングスピードはDFS1-0 bitsで設定します([Table 9](#))。

DFS1 bit	DFS0 bit	DAC Sampling Speed (fs)		(default)
0	0	Normal Speed Mode	32kHz~48kHz	
0	1	Double Speed Mode	64kHz~96kHz	
1	0	Quad Speed Mode	128kHz~192kHz	
1	1	Not Available	-	

Table 9. PORT2(DAC) Sampling Speed (ACKS bit = “0”, Manual Setting Mode)

LRCK2	MCLK2 (MHz)				BICK2 (MHz)
Fs	256fs	384fs	512fs	768fs	64fs
32.0kHz	8.1920	12.2880	16.3840	24.5760	2.0480
44.1kHz	11.2896	16.9344	22.5792	33.8688	2.8224
48.0kHz	12.2880	18.4320	24.5760	36.8640	3.0720

Table 10. PORT2(DAC) system Clock Example (Normal Speed Mode @Manual Setting Mode)

LRCK2	MCLK2 (MHz)				BICK2 (MHz)
Fs	128fs	192fs	256fs	384fs	64fs
88.2kHz	11.2896	16.9344	22.5792	33.8688	5.6448
96.0kHz	12.2880	18.4320	24.5760	36.8640	6.1440

Table 11. PORT2(DAC)system Clock Example (Double Speed Mode @Manual Setting Mode)

LRCK2	MCLK2 (MHz)				BICK2 (MHz)
Fs	128fs	192fs	256fs	384fs	64fs
176.4kHz	22.5792	33.8688	-	-	11.2896
192.0kHz	24.5760	36.8640	-	-	12.2880

Table 12. PORT2(DAC) system Clock Example (Quad Speed Mode @Manual Setting Mode)

2. Auto Setting Mode (ACKS bit = “1”)

ACKS bit = “1”でDACはAuto Setting Modeになります。サンプリングスピードはMCLK2/LRCK2の比から自動的に設定されます(Table 13, Table 14)。このモードではDFS1-0 bitsは無視されます。

MCLK2	DAC Sampling Speed (fs) LRCK2	
512fs, 768fs	Normal Speed Mode	32kHz~48kHz
256fs, 384fs	Double Speed Mode	64kHz~96kHz
128fs, 192fs	Quad Speed Mode	128kHz~192kHz

Table 13. PORT2(DAC) Sampling Speed (ACKS bit = “1”, Auto Setting Mode)

LRCK fs	MCLK (MHz)							Sampling Speed
	128fs	192fs	256fs	384fs	512fs	768fs	1152fs	
32.0kHz	-	-	-	-	16.3840	24.5760	36.8640	Normal
44.1kHz	-	-	-	-	22.5792	33.8688	-	
48.0kHz	-	-	-	-	24.5760	36.8640	-	
32.0kHz			8.192	12.288				Double
44.1kHz			11.2896	16.9344				
48.0kHz			12.288	18.432				
88.2kHz	-	-	22.5792	33.8688	-	-	-	
96.0kHz	-	-	24.5760	36.8640	-	-	-	Quad
176.4kHz	22.5792	33.8688	-	-	-	-	-	
192.0kHz	24.5760	36.8640	-	-	-	-	-	

Table 14. システムクロック例

MCLK=256fs/384fsのとき、32kHz~96kHzのサンプリングレートまで対応します(Table 15)が、32kHz~48kHzのサンプリングレートのときのDR, S/NはMCLK=512fs/768fsの時に比べて劣化します。

MCLK	DR, S/N
256fs/384fs	102dB
512fs/768fs	105dB

Table 15. MCLK周波数とDR, S/Nの関係(fs = 48kHz)

■ ディエンファシスフィルタ

DACはIIRフィルタによるディエンファシスフィルタ (50/15 μ s 特性) を内蔵しています。入力データに対してDEM bit = “1”が選択された時、ディエンファシスフィルタが有効になります。ディエンファシスフィルタがON時のゲインエラーについては、デジタルフィルタ特性の項目を参照して下さい。Double Speed Mode (MCLK2=256fs/384fs), Quad Speed Mode (MCLK2=128fs/192fs)のとき、ディエンファシスフィルタはOFFです。設定はI²Cコントロールモードのみで行い、DAC (DEM bit)に対して設定できます。(Table 16)

DEM bit	De-emphasis Filter
1	ON
0	OFF

(default)

Table 16. De-emphasis Control (Normal Speed Mode)

■ デジタルHPF

ADCはDCオフセットキャンセルのためにデジタルHPFを内蔵します。HPFのfcは、fs=48kHz時1Hzになっており、周波数応答はfsに比例します。

■ オーディオインタフェースフォーマット

各々のPORTは独立のオーディオインタフェースフォーマットを設定できます。PORT1はDIF1 bit、POTR2はDIF21-20 bitsで設定可能です。全モードともMSBファースト、2's complimentのデータフォーマットで、SDTOはBICK1の立ち下がりで出力され、SDTIはBICK2の立ち上がりでラッチされます。SDTIの入力フォーマットでデータのないLSBには“0”を入力して下さい。

1. PORT1(ADC)の設定

MSN pin, DIF1 bit により下記4種類のデータフォーマットが選択できます。(Table 17)

Mode	MSN pin	DIF1 bit	SDTO	LRCK1		BICK1		
				L/R	I/O	speed	I/O	
0	L	0	24/16bit Left Justified	H/L	I	≥ 48fs or 32fs	I	(default)
1	L	1	24bit, I ² S	L/H	I	≥ 48fs	I	
2	H	0	24bit Left Justified	H/L	O	64fs	O	(default)
3	H	1	24bit, I ² S	L/H	O	64fs	O	

Table 17. Audio Interface Format (ADC)

2. PORT2(DAC)の設定

DIF21-20 bit により下記4種類のデータフォーマットが選択できます。(Table 18)

Mode	DIF21 bit	DIF20 bit	SDTI	LRCK2		BICK2		
				L/R	I/O	speed	I/O	
0	0	0	16bit, Right justified	H/L	I	≥ 32fs	I	
1	0	1	24bit, Right justified	H/L	I	≥ 48fs	I	
2	1	0	24bit, Left justified	H/L	I	≥ 48fs	I	(default)
3	1	1	24bit, I ² S	L/H	I	≥ 48fs	I	

Table 18. Audio Interface Format (DAC)

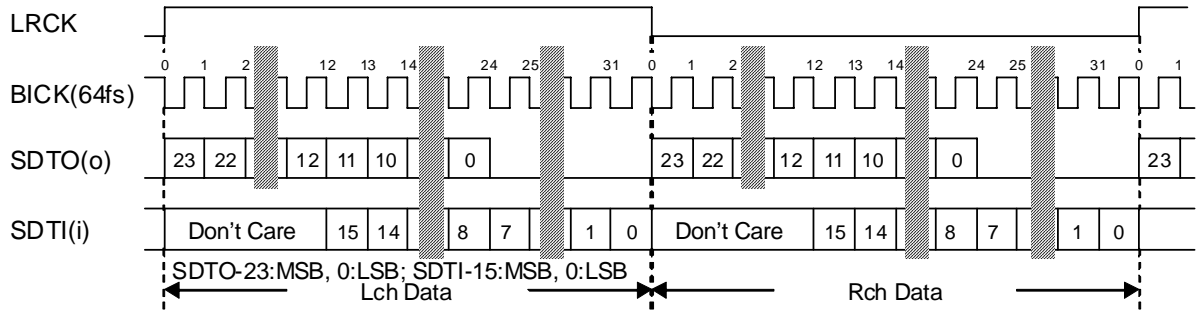


Figure 4. PORT1= Mode0/2, PORT2=Mode0 Timing

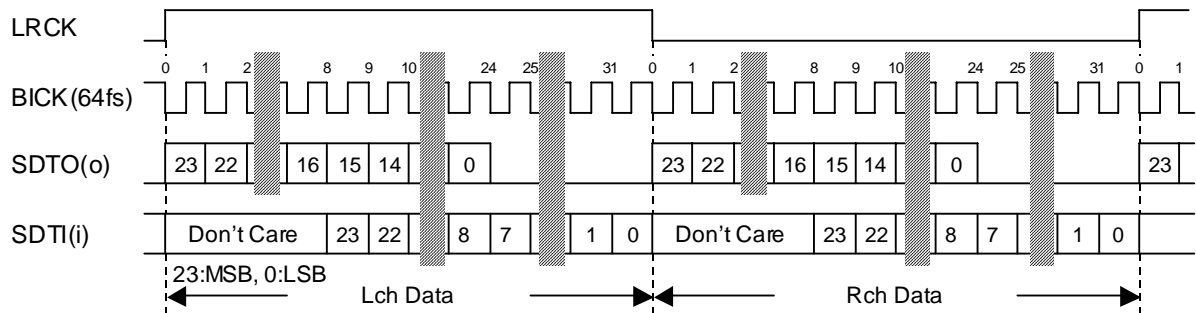


Figure 5. PORT1= Mode0/2, PORT2=Mode1 Timing

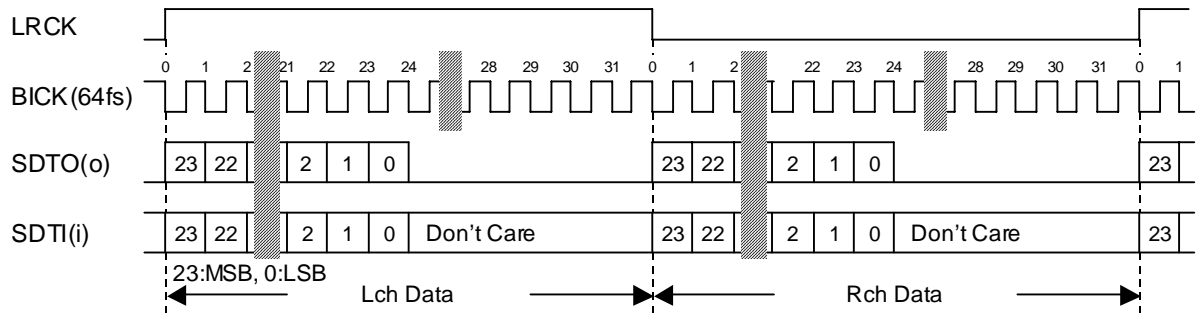


Figure 6. PORT1= Mode0/2, PORT2=Mode2 Timing

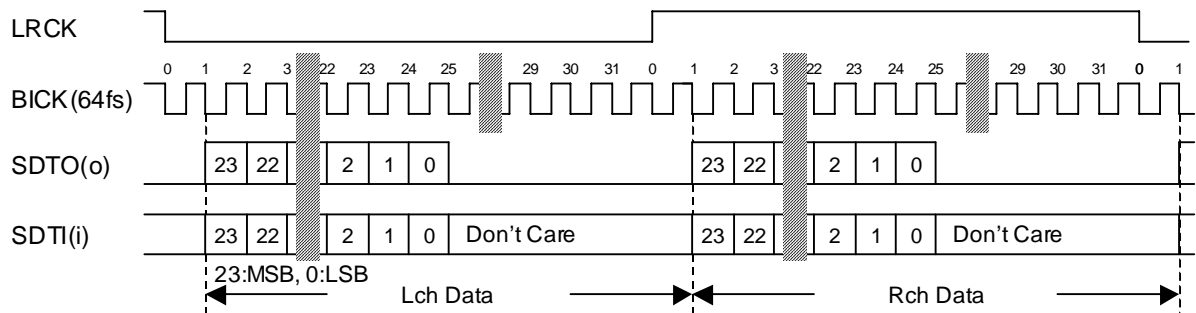


Figure 7. PORT1= Mode1/3, PORT2=Mode3 Timing

■ Pre-Amp部と入力ATT

AK4688の入力ピン(LIN/RIN)に入力抵抗(R_i)、LI/RI pinとLO/RO pin間に帰還抵抗(R_f)をつけることにより、入力ATTを構成できます(Figure 8)。LO/RO pinに入力可能な電圧はtyp. 1.91Vrms までです。従って、入力ピン(LIN/RIN)に直列で外付けされる入力抵抗 R_i の入力端に入力される電圧が2Vrmsや4Vrmsのような過大振幅に対しては、 R_i と R_f で過大振幅をtyp. 1.91Vrmsまで減衰させる必要があります。Table 19に R_i と R_f の定数例を示します。

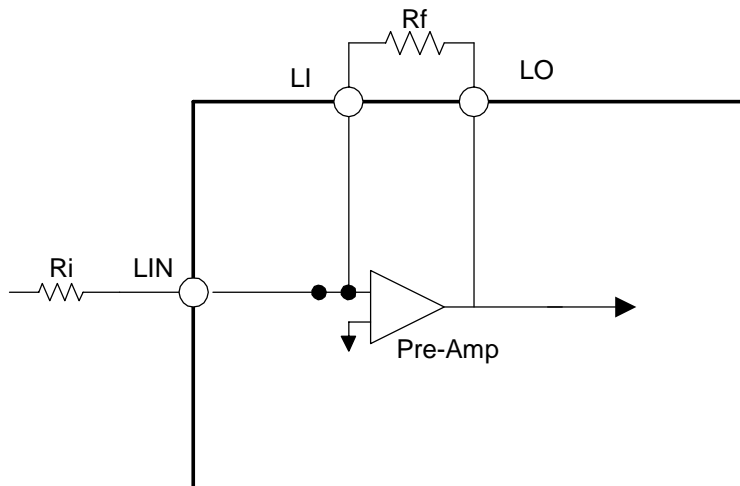


Figure 8. Pre-Amp and Input ATT

- ・ 入力レンジに対する設定例

Input Range	R_i (k Ω)	R_f (k Ω)	ATT Gain (dB)	LO/RO pin	ADC output (typ)
4Vrms	47	20	-7.42	1.70Vrms	-1.0dBFS
2.2Vrms	47	39	-1.62	1.82Vrms	-0.39dBFS
1Vrms	47	82	+4.83	1.74Vrms	-0.78dBFS

Table 19. Input ATT example

■ チャージポンプ回路

DVDD pinに供給された電圧から、内部のチャージポンプ回路により、負電源(CVEE) を生成します。生成された負電源は、アナログ入出力用の電源として使用されます。

チャージポンプ回路のパワーアップ時間は、1.3msec@48kHz (typ)となります。ADCとDAC は、チャージポンプ回路が立ち上がった後、立ち上がります。

チャージポンプ回路の立ち上がり条件は、

I²Cコントロールモードの場合、以下の条件のいずれかになります。

- ・ PDN1 pin="H" かつ PWAD bit="1" かつ MCLK1, LRCK1, BICK1(master mode時にMCLK1)が入力された時
- ・ PDN2 pin="H" かつ PWDA bit="1" かつ MCLK2, LRCK2, BICK2が入力された時

H/Wコントロールモードの場合、以下の条件のいずれかになります。

- ・ PDN1 pin="H" かつ MCLK1, LRCK1, BICK1(master mode時にMCLK1)が入力された時
- ・ PDN2 pin="H" かつ MCLK2, LRCK2, BICK2が入力された時

PDN1 pin	PWAD bit	Master mode : MCLK1 Slave mode : MCLK1,LRCK1, BICK1	PDN2 pin	PWDA bit	MCLK2, BICK2, LRCK2	CP status
H	1	active	x	x	×	ON
x	x	×	H	1	active	ON

(×: Don't Care)

Table 20. Charge Pump Power ON 条件 (I2C コントロールモード)

PDN1 pin	Master mode: MCLK1 Slave mode: MCLK1, LRCK1, BICK1	PDN2 pin	MCLK2, BICK2, LRCK2	CP status
H	Active	x	×	ON
x	×	H	active	ON

(×: Don't Care)

Table 21. Charge Pump Power ON 条件 (H/W コントロールモード)

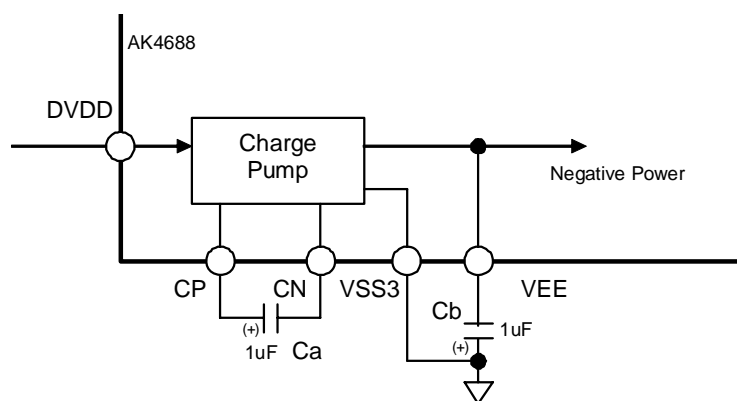


Figure 9. 負電源生成回路

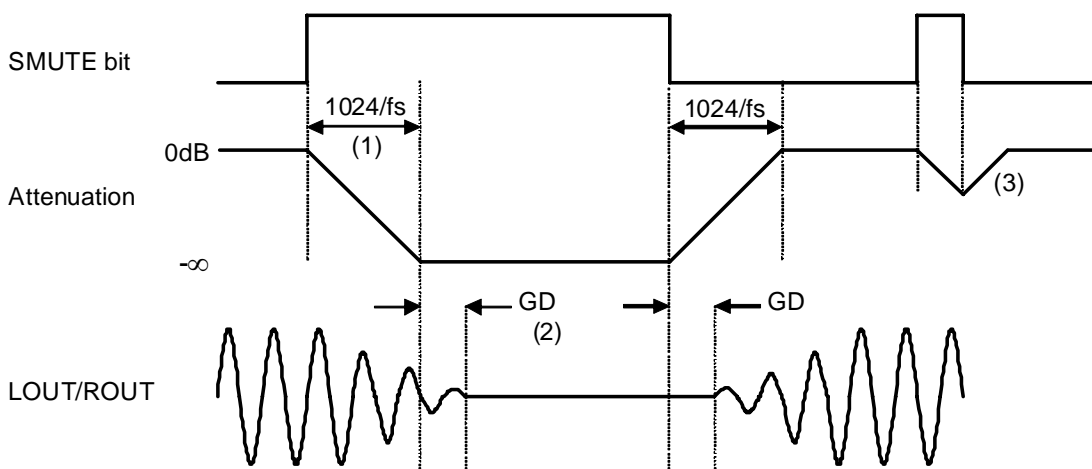
注: CP-CN間、DVSS-VEE間に1uFの低ESRコンデンサをつけてください。

■ アナログ入出力 (LIN/RIN, LOU/ROUT pins)

アナログ入出力は内蔵のチャージポンプ回路で生成する負電源で動作します。出力はAVSS2 (0V)を中心にシングルエンドになっており、DCカット用のコンデンサは不要です。負荷抵抗は5k Ω (min)です。DACに0dBFS入力時の出力電圧は2Vrms (typ)です。

■ ソフトミュート機能

DACについて、ソフトミュートはデジタル的に実行されます。SMUTE bitを“1”にするとNormal Speed Modeの場合1024LRCKサイクルで入力データが $-\infty$ (“0”)までアテネーションされます。SMUTE bitを“0”にすると、 $-\infty$ 状態が解除され、 $-\infty$ から1024LRCKサイクルで0dBまで復帰します。ソフトミュート開始後、1024LRCKサイクル以内に解除されるとアテネーションが中断され、同じサイクルで0dBまで復帰します。ソフトミュート機能は信号を止めずに信号源を切り替える場合などに有効です。



注:

- (1) Normal Speed Mode の場合、1024LRCKサイクル(1024/fs)で入力データが $-\infty$ (“0”)までアテネーションされます。
Double Speed Modeの場合、2048LRCKサイクル(2048/fs)、Quad Speed Modeの場合、4096LRCKサイクル(4096/fs)、で入力データが $-\infty$ (“0”)までアテネーションされます。
- (2) デジタル入力に対してアナログ出力は群遅延(GD)を持ちます。
- (3) ソフトミュート開始後、1024LRCKサイクル以内 (Normal Speed Mode の場合) に解除されるとアテネーションが中断され、同じサイクルで0dBまで復帰します。

Figure 10. ソフトミュート機能

■ システムリセット

PDN1 pin = PDN2 pin = “L”の状態電源を投入してください。全ての電源 (DVDD, AVDD1, AVDD2)が立ち上がった後、PDN1 pin と PDN2 pin を “L” → “H”にして下さい。リセット解除後 (PDN1 pin = “L” → “H” かつ PDN2 pin = “L” → “H”)、全てのブロックはパワーダウン状態で立ち上がります。PDN1 pin と PDN2 pin でリセットされない限り、コントロールレジスタの内容は保持されています。PDN1 pin が “L”になると、ADC内部回路がリセットされ、ADC用コントロールレジスタ(Addr: 01h–02h)およびPWAD bitもリセットされます。PDN2 pin が “L”になると、DAC内部回路がリセットされ、DAC用コントロールレジスタ(Addr: 03h) およびPWDA bitもリセットされます。PDN1 pin と PDN2 pin が両方 “L”になると、すべての内部回路およびコントロールレジスタがリセットされ、チャージポンプもパワーダウンします。H/Wコントロール時のレジスタは無視されPDN1 pin、PDN2 pin でパワーダウンコントロールが可能となります。

■ パワーアップ・ダウン機能

AK4688のADCブロックはパワーダウンピン(PDN1 pin)を“L”にすることで、DACブロックはパワーダウンピン(PDN2 pin)を“L”にすることでパワーダウンでき、このとき同時に各デジタルフィルタがリセットされます。PDN1 pin = PDN2 pin = “L”で内部レジスタ値は初期化されます。パワーダウンモード時、アナログ出力は0V、SDTO pinは“L”になります。このリセットは電源投入時に必ず一度行って下さい。

ADCはマスタモードで使用する場合、PDN1 pin: “L”→“H”でパワーダウンが解除された後、MCLK1の“↑”に同期して内部回路がパワーアップし、内部のタイミングが動作します。スレーブモードで使用する場合、PDN1 pin: “L”→“H”でパワーダウンが解除された後、MCLK1, LRCK1, BICK1入力後のLRCK1の“↑”に同期して内部回路がパワーアップし、内部のタイミングが動作します。

DACはPDN2 pin: “L”→“H”でパワーダウンが解除された後、MCLK2, LRCK2, BICK2入力後のLRCK2の“↑”に同期して内部回路がパワーアップし、内部のタイミングが動作します。

ADCの初期化サイクルは、パワーダウンモードが解除されると開始されます。そのため、出力データは2640サイクル後確定します。DACの初期化サイクルも、パワーダウンモードが解除されると開始されます。初期化中のアナログ出力は0Vです。Figure 11にADC, DAC同時にパワーダウン及びパワーアップする時のシーケンス例を示します。

ADCとDACはPWAD bitとPWDA bitでもそれぞれ独立にパワーダウンできます。このときレジスタ値は初期化されません。PWAD bit = “0”のときADCの出力データは“L”になります。PWDA bit = “0”のとき、アナログ出力は0Vになります。

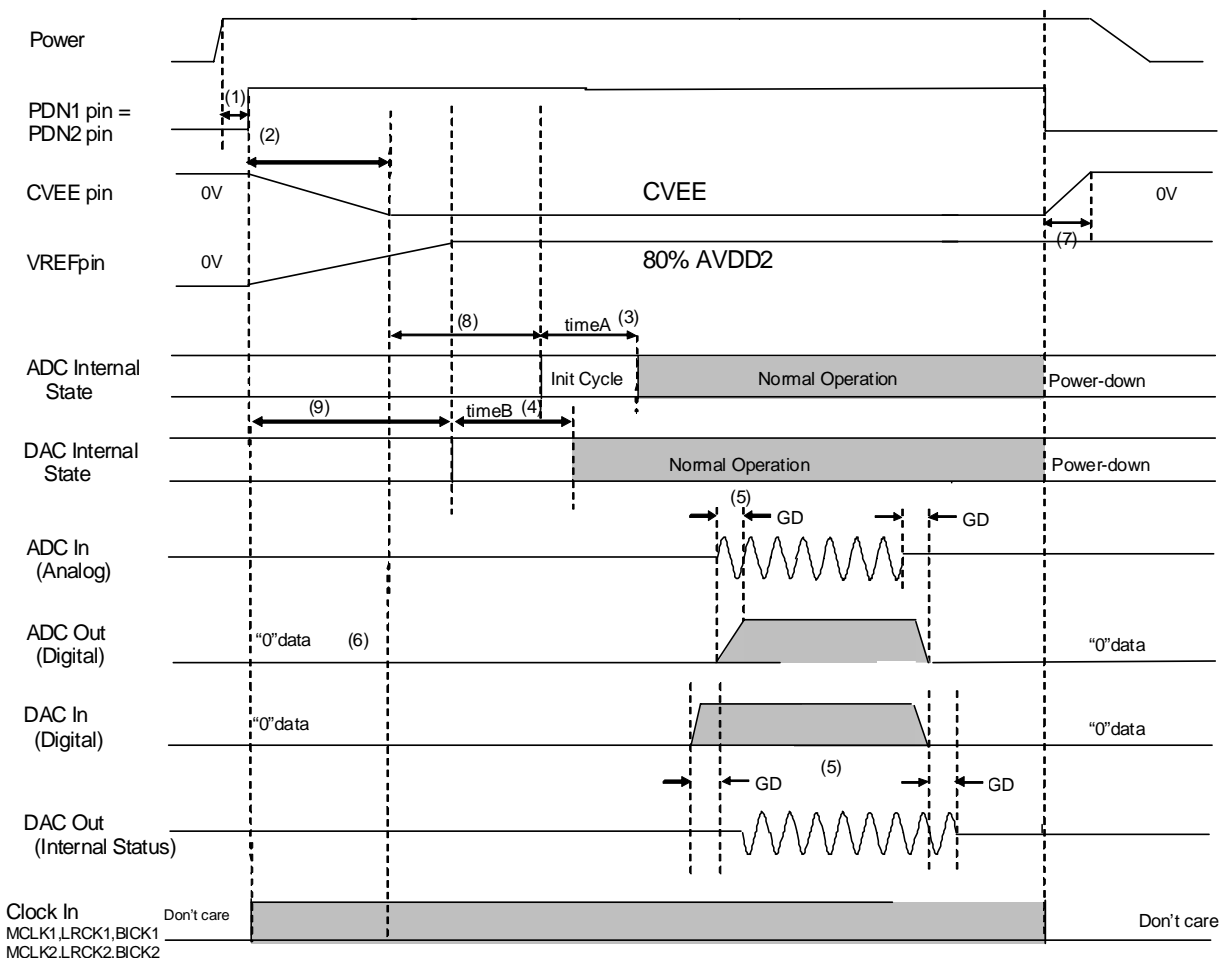


Figure 11. Power-up/down Sequence Example

注：

- (1) 電源立ち上げ後、PDN1 pin, PDN2 pin を “L”→“H”にしてください。
この場合、AK4688をリセットするため、150ns以上の“L”区間が必要です。
PDN1 pin = PDN2 pin = “L”の状態ですべての電源(DVDD, AVDD1/2)が立ち上がった後、PDN1 pin, PDN2 pin を “H”にしてください。
- (2) チャージポンプ回路のパワーアップ:
PDN1 pinを“L” → “H”にし、MCLK1, BICK1, LRCK1を入力するか、PDN2 pinを“L” → “H”にし、MCLK2, BICK2, LRCK2を入力するとC_{VEE} pin は、約1.3msec@48kHz(typ)の時間でC_{VEE}電圧になります。
注:Charge-Pump回路が立ち上がっている間PWAD, PWDA bit が “1”に設定された場合、またはPDN1pin, PDN2 pin が “H”に設定された場合、ADC, DACはCharge-Pump回路が立ち上がった後、初期化されます。
- (3) ADCはパワーダウン解除後、ADC アナログ部が初期化されます。timeA=528/fs
- (4) DACはパワーダウン解除後、DAC アナログ部が初期化されます。
VREF pinに1μFを装着したときにtimeBは以下のようになります。
timeB=6/fs×8×2 : Normal speed mode
timeB=12/fs×8×2 : Double speed mode
timeB=24/fs×8×2 : Quadruple speed mode
timeBが完了すると、D/A入力可能になります。
- (5) アナログ入力に対するデジタル出力、デジタル入力に対するアナログ出力は群遅延(GD)をもちます。
- (6) パワーダウン時ADC出力は “0” データです。
- (7) チャージポンプ回路のパワーダウン:
(PDN1 pin = “H” → “L” or MCLK1, BICK1, LRCK1無入力) かつ (PDN2 pin = “H” → “L” or MCLK2, BICK2, LRCK2無入力)
C_{VEE} pinは、外付けコンデンサと内部の抵抗値に従って0Vになります。内部の抵抗値は、50kΩです。
従ってC_{VEE} pin の外付けコンデンサが1μFの時、時定数は50msec (typ)になります。
- (8) チャージポンプが立ち上がった後2048/fsの間待ちます。
- (9) ADC/DACパワーダウン解除後VREFが立ち上がるまで約5msec (typ) かかります。

■ シリアルコントロールインタフェース

AK4688のI²Cバスモードのフォーマットは、高速モード(max:400kHz)に対応します。

1. データ転送について

バス上のICへのアクセスには、最初にスタート・コンディションを入力します。次に、1バイトで構成されるデバイスのアドレスを含んだスレーブ・アドレスを入力します。この時、バス上のICはこのアドレスと自分自身のアドレスを比較し、アドレスが一致したICはアクノリッジを生成します。アドレスが一致したICは、この後READ又はWRITEを実行します。命令終了時には、ストップ・コンディションを入力して下さい。

1-1. データの変更

クロックが“H”の間にはSDAラインの状態は一定でなければなりません。データラインが“H”と“L”の間で状態を変更できるのは、スタート・コンディション、ストップ・コンディション以外ではSCLラインのクロック信号が“L”の時に限られます。

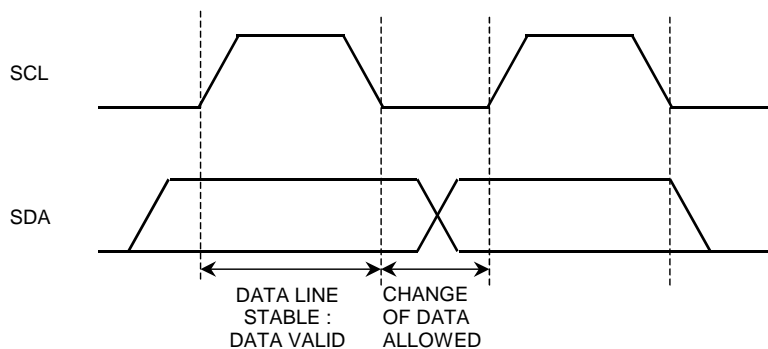


Figure 12. Data transfer

1-2. スタート・コンディションとストップ・コンディション

SCLラインが“H”の時にSDAラインを“H”から“L”にすると、スタート・コンディションが作られます。全ての命令は、スタート・コンディションから始まります。SCLラインが“H”の時にSDAラインを“L”から“H”にすると、ストップ・コンディションが作られます。全ての命令は、ストップ・コンディションにより終了します。

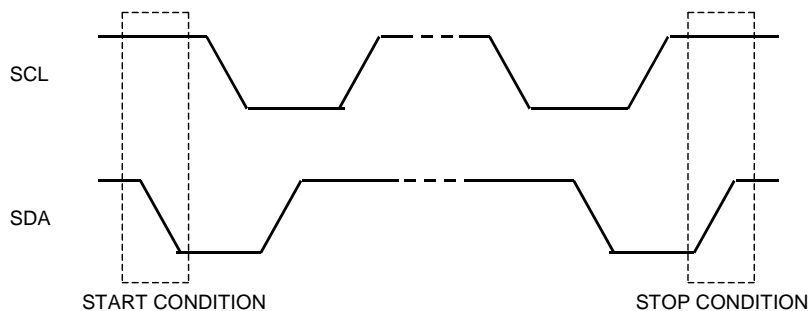
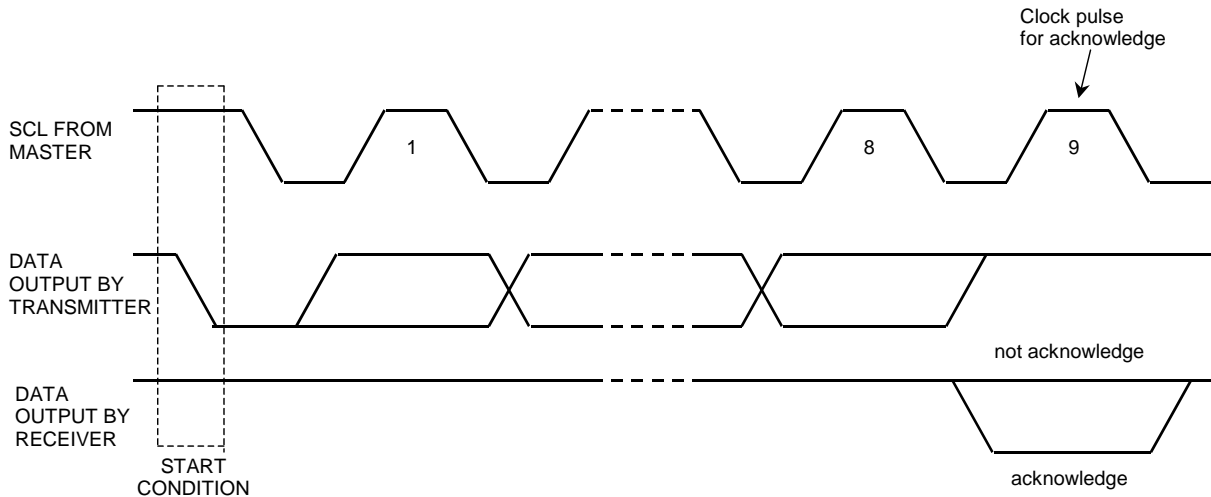


Figure 13. START and STOP conditions

1-3. アクノリッジ

データを送出しているICは、1バイトのデータを送出した後SDAラインを解放します(HIGHの状態にする)。データを受信したICは次のクロックでSDAラインを“L”にします。この動作はアクノリッジと呼ばれ、この動作により正しくデータ転送が行われたことが確認できます。AK4688はスタート・コンディションとスレーブ・アドレスを受け取るとアクノリッジを生成します。またWRITE命令の場合には各バイトの受信を完了する度にアクノリッジを生成します。READ命令の場合には、AK4688はアクノリッジ生成に続いて指定されたアドレスのデータを出力した後SDAラインを解放し、SDAラインをモニターします。マスタがストップ・コンディションを送らずアクノリッジを生成した場合、AK4688は次のアドレスのデータを出力します。アクノリッジが生成されなかった場合、AK4688はデータ出力を終了します。

Figure 14. Acknowledge on the I²C-bus

1-4. FIRST BYTE

スレーブアドレスを含む第1バイトはスタートコンディションの後に入力され、スレーブ・アドレスによりバス上のICの中からアクセスするICが選ばれます。スレーブ・アドレスは上位7ビットで構成されます。上位6ビットは“001001”であり、次の1ビットはアクセスするICを選ぶ為のアドレスビット(CAD0 bit)です。CAD0 pinの設定に合わせてCAD0 bitを設定してください(CAD0 pin = “L”: CAD0 bit = “0”, CAD0 pin = “H”: CAD0 bit = “1”)。スレーブ・アドレスが入力されると、デバイスのアドレスが一致しているICはアクノリッジを生成し、その後命令を実行します。第1バイトの8番目のビット(最下位ビット)はR/W bitです。R/W bit = “1”のときREAD命令が実行され、R/W bit = “0”のときWRITE命令が実行されます。

0	0	1	0	0	1	CAD0	R/W
---	---	---	---	---	---	------	-----

Figure 15. The First Byte

2. WRITE命令

R/W bitが“0”の場合、AK4688はWRITE動作を行います。WRITE動作では、スレーブアドレス受信後、アクノリッジを生成し第2バイトを受信します。第2バイトは内部コントロールレジスタのアドレスを指定するバイトで、MSB firstで構成され上位3ビットはDon't careです。

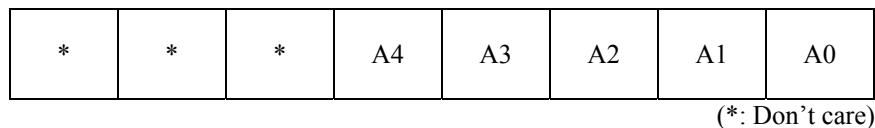


Figure 16. The Second Byte

第2バイト受信後、アクノリッジを生成し第3バイトを受信します。第3バイト以降がコントロールデータになります。コントロールデータは8ビット、MSB firstで構成されます。

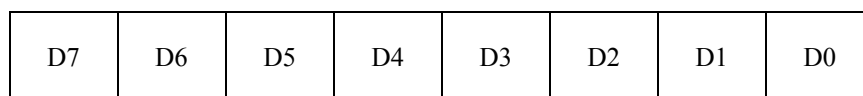


Figure 17. Byte structure after the second byte

AK4688は複数のバイトのデータを一度に書き込むことができます。第3バイト受信後、アクノリッジを生成し次のデータ受信待ちになります。ストップ・コンディションを送らず更にデータを送ると、内部アドレスカウンタは自動的にインクリメントし、データは次のアドレスに格納されます。カウンタは03Hを越えるとロール・オーバーし、次のデータはアドレス00Hから順に格納されます。

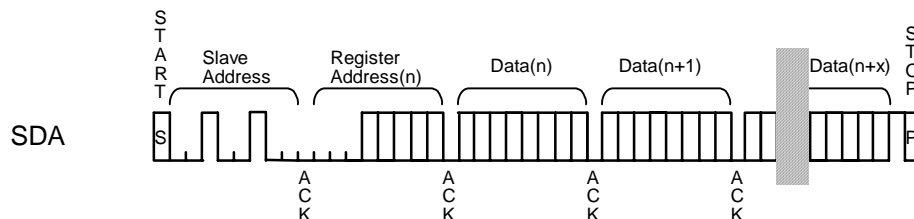


Figure 18. WRITE Operation

3. READ命令

R/W bitが“1”の場合、AK4688はREAD動作を行います。指定されたアドレスのデータが出力された後、マスタがストップ・コンディションを送らずにアクノリッジを生成すると、次のアドレスのデータを読み出すことができます。アドレス：03Hのデータを読み出した後、さらに次のアドレスを読み出す場合にはアドレス：00Hのデータが読み出されます。

AK4688はカレント・アドレス・リードとランダム・リードの二つのREAD命令を持っています。

3-1. カレント・アドレス・リード

AK4688は内部にアドレス・カウンタを持っており、カレント・アドレス・リードではこのカウンタで指定されたアドレスのデータを読み出します。内部のアドレス・カウンタは最後にアクセスしたアドレスの次のアドレスの値を保持しています。例えば、最後にアクセス(READでもWRITEでも)したアドレスが“n”であり、その後カレント・アドレス・リードを行った場合、アドレス“n+1”のデータが読み出されます。カレント・アドレス・リードでは、AK4688はREAD命令のスレーブ・アドレス(R/W bit = “1”)の入力に対してアクノリッジを生成し、次のクロックから内部のアドレス・カウンタで指定されたデータを出力したのち内部カウンタを1つインクリメントします。1バイトのデータが出力された後、マスタがアクノリッジを生成せずストップ・コンディションを送ると、READ動作は終了します。

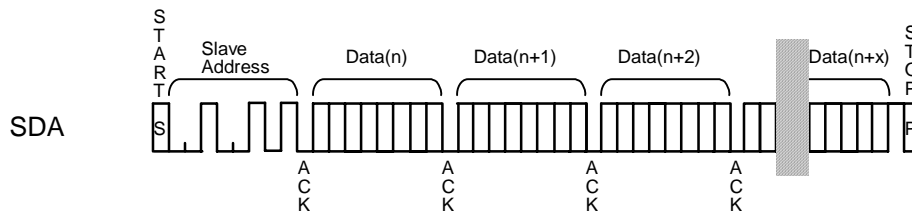


Figure 19. CURRENT ADDRESS READ

3-2. ランダム・リード

ランダム・リードにより任意のアドレスのデータを読み出すことができます。ランダム・リードはREAD命令のスレーブ・アドレス(R/W bit = “1”)を入力する前に、ダミーのWRITE命令を入力する必要があります。ランダム・リードでは最初にスタート・コンディションを入力し、次にWRITE命令のスレーブ・アドレス(R/W bit = “0”)、読み出すアドレスを順次入力します。AK4688がこのアドレス入力に対してアクノリッジを生成した後、再びスタート・コンディション、READ命令のスレーブ・アドレス(R/W bit = “1”)を入力します。AK4688はこのスレーブ・アドレスの入力に対してアクノリッジを生成し、指定されたアドレスのデータを出力し、内部アドレスカウンタを1つインクリメントします。データが出力された後、マスタがアクノリッジを生成せず、ストップ・コンディションを送ると、READ動作は終了します。

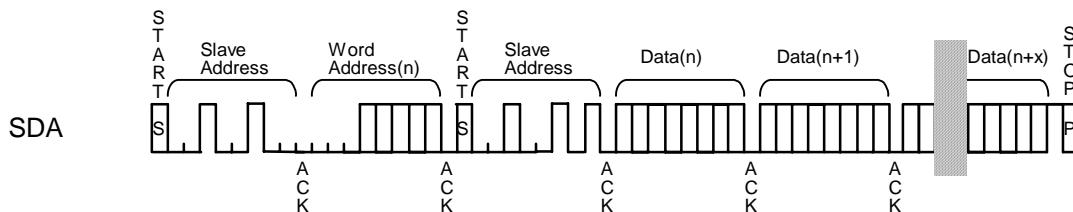


Figure 20. RANDOM READ

■ レジスタマップ

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Powerdown/Control	0	0	0	0	0	0	PWDA	PWAD
01H	(Reserved)	0	0	0	0	0	0	0	0
02H	ADC Clock	0	0	0	DIF1	0	CKS1	CKS0	0
03H	DAC Clock	0	ACKS	DFS1	DFS0	DEM	DIF21	DIF20	SMUTE

注:

アドレス04H~1FHは書き込み禁止です。

PDN1 pin とPDN2 pin を“L”にすると、全てのレジスタ値は初期化されます。

PDN1 pin を“L”にすると、ADC内部がパワーダウンされます。ADC用レジスタ(Addr: 01h-02h)とPWAD bitは初期化されます。

PDN2 pin を“L”にすると、DAC内部がパワーダウンされます。DAC用レジスタ(Addr: 03h)とPWDA bitは初期化されます。

PWAD bitを“0”にすると、ADC内部がパワーダウンされます。但しADC用レジスタ値(Addr: 01h-02h)は初期化されません。

PWDAbitを“0”にすると、DAC内部がパワーダウンされます。但しDAC用レジスタ値(Addr: 03h)は初期化されません。

レジスタマップの“0” bitには“0”を書き込んでください。

■ 詳細説明

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Powerdown/Control	0	0	0	0	0	0	PWDA	PWAD
	R/W	RD	RD	RD	RD	RD	RD	R/W	R/W
	Default	0	0	0	0	0	0	0	0

PWAD: ADCのパワーダウンコントロール

0: Power-down(default)

1: Normal operation

PWDA: DACのパワーダウンコントロール

0: Power-down (default)

1: Normal operation

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
01H	(Reserved)	0	0	0	0	0	0	0	0
	R/W	RD	RD	RD	RD	RD	RD	RD	RD
	Default	0	0	0	0	0	0	0	0

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
02H	ADC Clock	0	0	0	DIF1	0	CKS1	CKS0	0
	R/W	RD	RD	RD	R/W	RD	R/W	R/W	RD
	Default	0	0	0	0	0	1	1	0

CKS1-0: Master mode時のPORT1(ADC)のクロックコントロール

Table 6参照。

DIF1: PORT1のオーディオフォーマット選択

Table 17参照。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
03H	DAC Clock	0	ACKS	DFS1	DFS0	DEM	DIF21	DIF20	SMUTE
	R/W	RD	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	Default	0	1	0	0	0	1	0	0

SMUTE: Soft Mute control for DAC

0: Normal Operation (default)

1: LOUT/ROUT outputs soft-muted

DIF21-20: PORT2のオーディオフォーマット選択

Table 18参照。

DEM: DACのディエンファシス応答コントロール

Table 16参照。

DFS1-0: PORT2(DAC)サンプリングスピードコントロール

Table 9参照。Auto Setting Mode (ACKS bit = "1")のとき、DFS1-0 bitsの設定は無視されます。

ACKS: PORT2(DAC) オートセッティングモードコントロール

0: 無効, Manual Setting Mode

1: 有効, Auto Setting Mode (default)

ACKS bit = "1"のとき、MCLK周波数は自動検出されます。この場合DFS1-0 bitsの設定は無視されます。ACKS bit = "0"のとき、サンプリングスピードモードはDFS1-0 bitsで設定し、各モードでのMCLK周波数は自動検出されます。

システム設計

Figure 21はシステム接続例です。具体的な回路と測定例については評価用ボード(AKD4688)を参照して下さい。

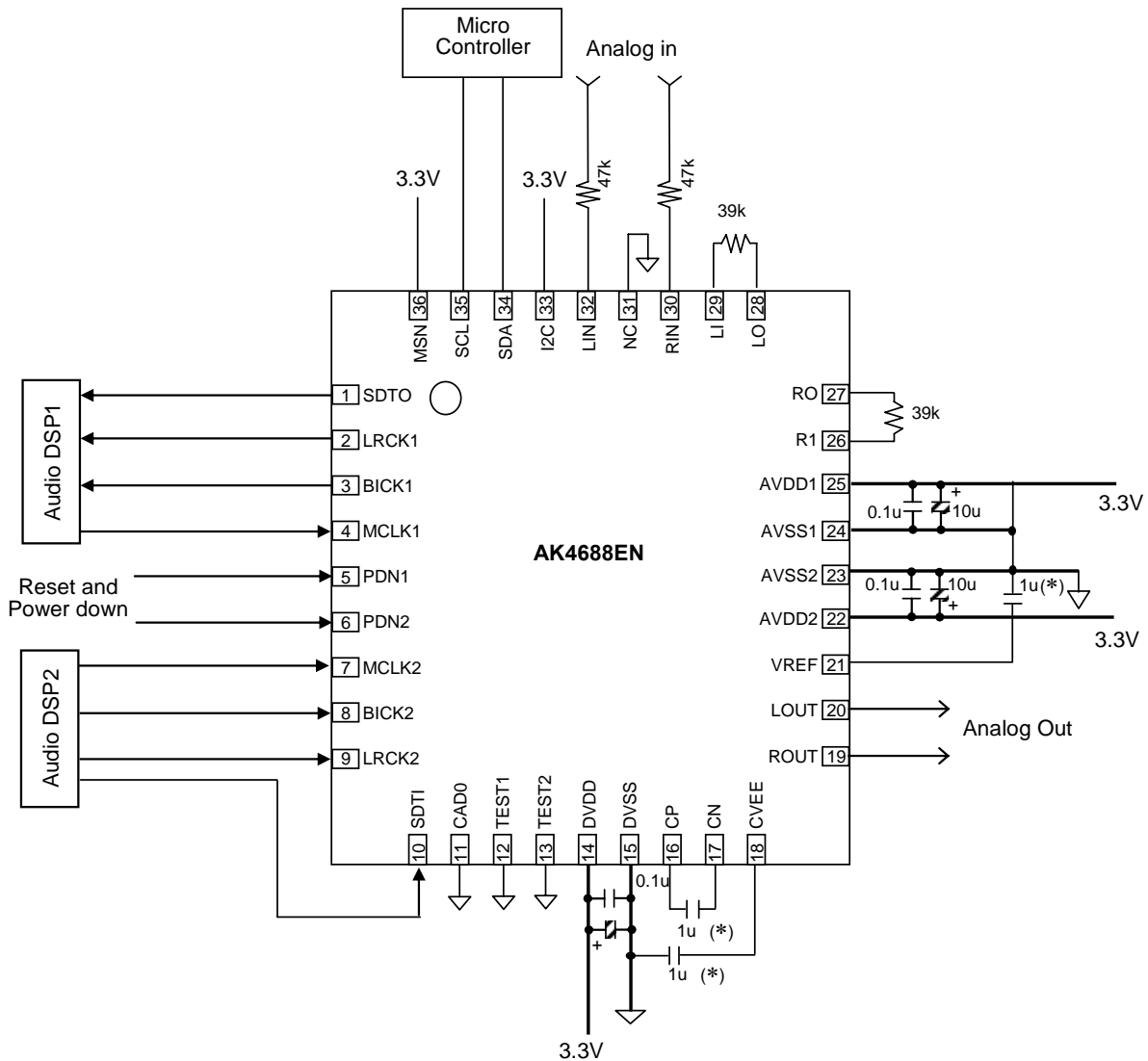


Figure 21. システム接続例 (I²C Control mode, CAD0 pin = “L”, Master mode)

Notes:

- (1) (*)部分は低ESRのコンデンサを使用してください。極性付きのコンデンサを使用する場合、CP, VREF は正極端子に、CVEEは負極端子に接続してください。
- (2) AVSS1, AVSS2, DVSS は、同じアナロググランドに接続して下さい。
- (3) デジタル入力ピンはオープンにしないでください。

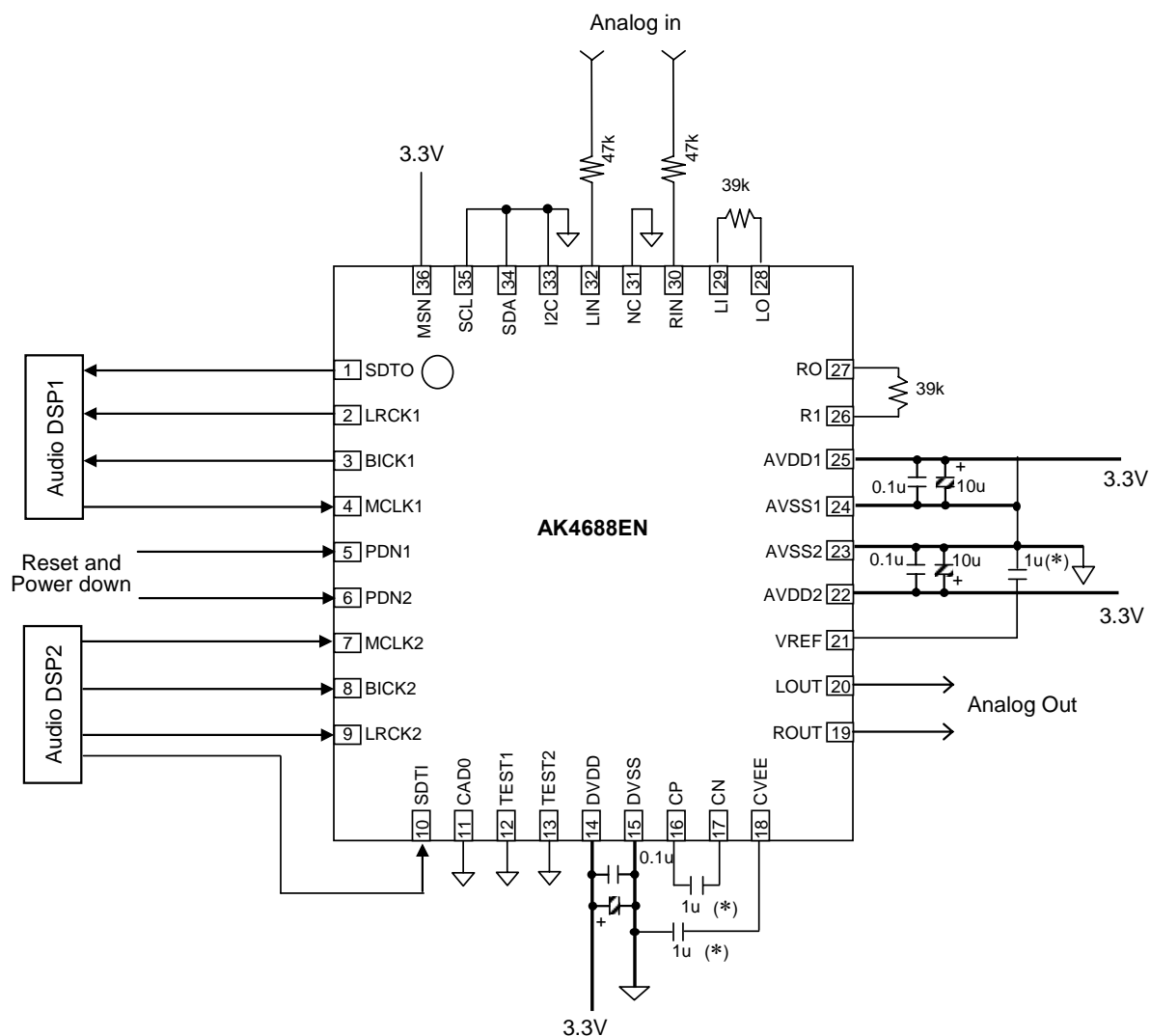


Figure 22. システム接続例 (H/W Control mode, MCLK=768fs, Master mode)

Notes:

- (1) (*)部分は低ESRのコンデンサを使用してください。極性付きのコンデンサを使用する場合、CP, VREFは正極端子に、CVEEは負極端子に接続してください
- (2) AVSS1, AVSS2, DVSSは、同じアナロググランドに接続して下さい。
- (3) デジタル入力ピンはオープンにしないでください。

1. グランドと電源のデカップリング

電源とグランドの取り方には十分注意して下さい。通常、AVDD1, AVDD2, DVDDにはシステムのアナログ電源の根元から分けて電源を供給してください。AVDD1, AVDD2, DVDDが別電源で供給される場合には、電源立ち上げシーケンスを考える必要はありません。AVSS1, AVSS2, DVSSは同じアナロググランド（ベタグランド）に接続して下さい。システムのグランドはアナログとデジタルで分けて配線しPCボード上の電源に近いところで接続して下さい。小容量のデカップリングコンデンサはなるべく電源ピンの近くに接続して下さい。

2. 基準電圧

AVDD1とAVSS1の電圧差がアナログ入力レンジを設定します。AVDD2とAVSS2の電圧差がアナログ出力レンジを設定します。VREFはアナログ信号の基準電圧として使われます。このピンには高周波ノイズを除去するために1 μ FのセラミックコンデンサをAVSS1/AVSS2との間に接続して下さい。VREF pinから電流を取ってはいけません。デジタル信号、特にクロックは変調器へのカップリングを避けるため、VREF pinからできるだけ離して下さい。

3. アナログ入力

AK4688へのアナログ入力は、外付けの抵抗を介してPre-Ampにシングルエンドで入力されます。入力信号レンジに対して、Pre-Amp出力がADC(LO, RO pin)の入力レンジ(typ. 1.91Vrms)になるようにFeedback抵抗を調節して下さい。出力コードのフォーマットは2'sコンプリメントです。DCオフセット(ADC自体のDCオフセットも含む)は内蔵のHPFでキャンセルされます。AK4688は64fsでアナログ入力をサンプリングします。デジタルフィルタは、64fsの整数倍付近の帯域を除く阻止域以上のノイズを全て除去します。AK4688は64fs付近のノイズを減衰させるためにアンチエイリアジングフィルタ(RCフィルタ)を内蔵しています。

4. アナログ出力

アナログ出力はシングルエンドになっており、出力レンジはAVSS2(0V, typ)を中心に2.0Vrms(typ, @AVDD2=3.3V)です。内蔵の $\Delta\Sigma$ 変調器が発生する帯域外ノイズ(シェーピングノイズ)は内蔵のスイッチトキャパシタフィルタ(SCF)と連続フィルタ(CTF)で減衰されます。帯域外ノイズが問題になる場合は、簡単な1次のLPF(Figure 23)を入れて下さい。

入力コードのフォーマットは2's complement (2の補数)で7FFFFFFH(@24bit)に対しては正のフルスケール、800000H(@24bit)に対しては負のフルスケール、000000H(@24bit)での $V_{L/ROUT}$ の理想値は0V(VSS)が出力されます。DCオフセットは ± 5 mV以下です。

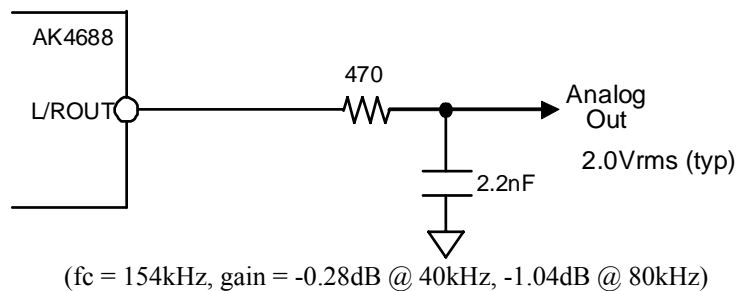


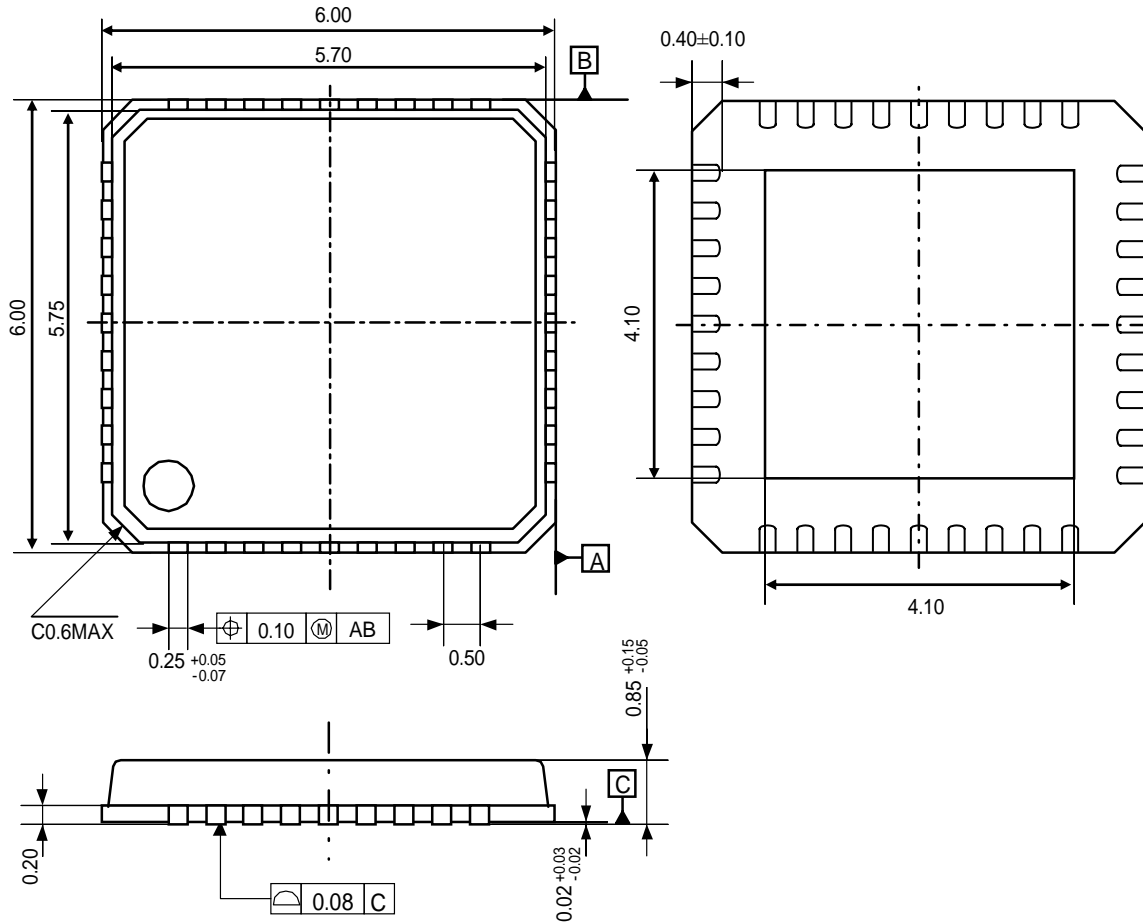
Figure 23. External 1st order LPF Circuit Example

5. 基板配線上の注意

LIN, RIN pinはPre-Ampのサミングノードです。他の信号とのカップリングには十分注意し、入力抵抗までの配線もできるだけ短くなるようにして下さい。LI, RI pinも同様に他の信号とのカップリングとFeedback抵抗までの配線長に注意して下さい。また、LIN, RIN pinの中で入力として使用されないピンがある場合はオープンにして下さい。

パッケージ

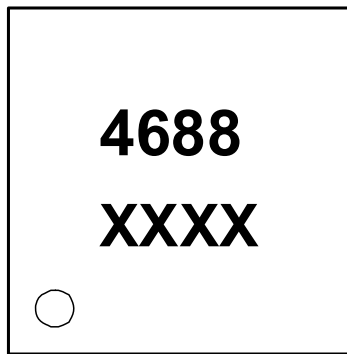
36pin QFN (Unit: mm)



■ 材質・メッキ仕様

パッケージ材質： エポキシ系樹脂、ハロゲン（臭素、塩素）フリー
 リードフレーム材質： 銅
 リードフレーム処理： 半田(無鉛)メッキ

マーキング



1

Pin #1 indication
Date Code: XXXX (4 digits)

改訂履歴

Date (YY/MM/DD)	Revision	Reason	Page	Contents
12/05/29	00	初版		

重要な注意事項

- 本書に記載された製品、および、製品の仕様につきましては、製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認ください。
- 本書に記載された周辺回路、応用回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器設計において本書に記載された周辺回路、応用回路、ソフトウェアおよびこれらに関連する情報を使用される場合は、お客様の責任において行ってください。本書に記載された周辺回路、応用回路、ソフトウェアおよびこれらに関連する情報の使用に起因してお客様または第三者に生じた損害に対し、弊社はその責任を負うものではありません。また、当該使用に起因する、工業所有権その他の第三者の所有する権利に対する侵害につきましても同様です。
- 本書記載製品が、外国為替および、外国貿易管理法に定める戦略物資（役務を含む）に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 医療機器、安全装置、航空宇宙用機器、原子力制御用機器など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に弊社製品を使用される場合は、必ず事前に弊社代表取締役の書面による同意をお取りください。
- この同意書を得ずにこうした用途に弊社製品を使用された場合、弊社は、その使用から生ずる損害等の責任を一切負うものではありませんのでご了承ください。
- お客様の転売等によりこの注意事項の存在を知らずに上記用途に弊社製品が使用され、その使用から損害等が生じた場合は全てお客様にてご負担または補償して頂きますのでご了承下さい。